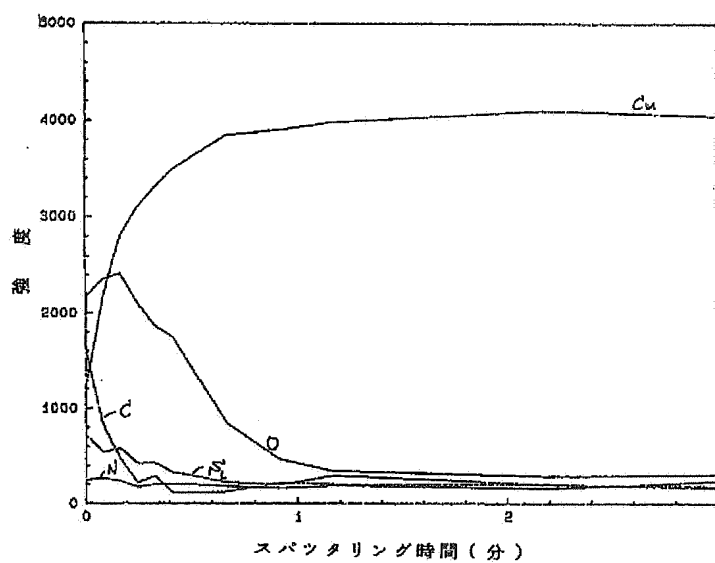
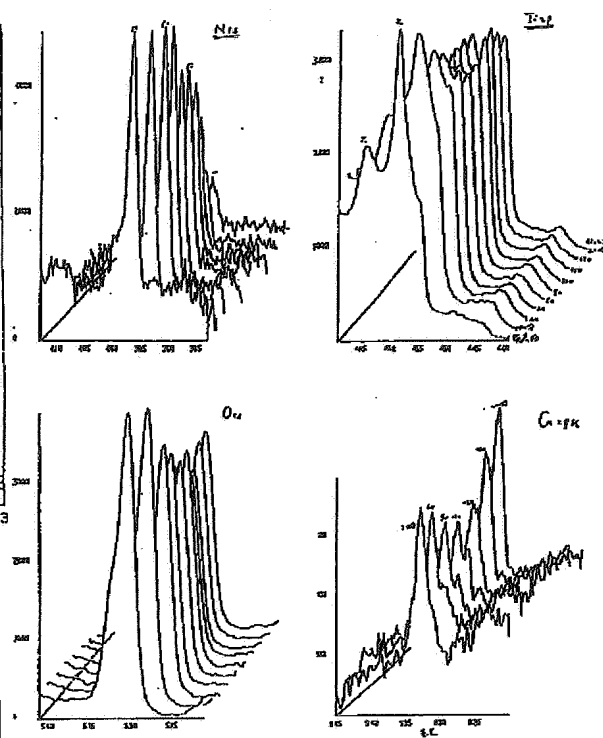


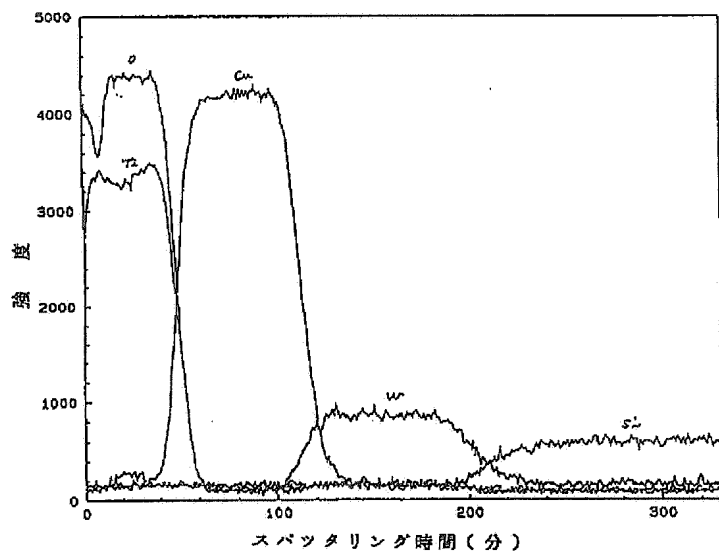
【図3】



【図5】



【図4】



フロントページの続き

(72)発明者 澤田 進

茨城県北茨城市華川町白場187番地4 株式
会社日鉱共石磯原工場内

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-349085

(43)Date of publication of application : 15.12.2000

(51)Int.Cl.

H01L 21/3205

(21)Application number : 11-154099

(71)Applicant : NEC CORP

(22)Date of filing : 01.06.1999

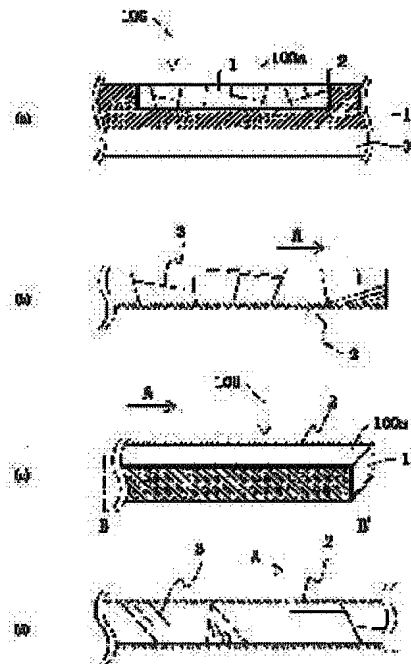
(72)Inventor : KIKUTA KUNIKO

(54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce a grain boundary and at the same time reduce the generation of electromigration and hence prevent the rupture and crack of wiring by composing the wiring that is formed at a groove with a barrier metal layer on a surface being provided on an interlayer insulation film with a Cu alloy containing a specific amount of metal in Cu.

SOLUTION: Cu wiring 100 formed at a groove 10a with a barrier metal layer 2 on a surface while being provided on an interlayer insulation film 10 is composed by a Cu alloy 1 containing at least one of Ag, As, Bi, P, Sb, Si, and Ti. The content of the metal should be equal to or more than approximately 0.1 wt.% and less than the maximum solid solution limit for Cu. Since the melt point of the Cu alloy 1 becomes lower than that of Cu from the above, the particle diameter of the Cu alloy 1 can be increased and the grain boundary can be reduced. Also, since a grain boundary 3 can be formed in the longitudinal direction (arrow A) and the vertical direction of the Cu wiring 100, the mass transportation path of Cu can be reduced and the generation of electromigration can be reduced.



LEGAL STATUS

[Date of request for examination] 23.05.2000

[Date of sending the examiner's decision of rejection] 31.03.2004

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection] 2004-009075

[Date of requesting appeal against examiner's decision of rejection] 30.04.2004

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-349085

(P2000-349085A)

(43) 公開日 平成12年12月15日 (2000.12.15)

(51) Int.Cl.⁷

H 0 1 L 21/3205

識別記号

F I

H 0 1 L 21/88

テーマコード(参考)

M 5 F 0 3 3

A

審査請求 有 請求項の数 4 O L (全 8 頁)

(21) 出願番号

特願平11-154099

(22) 出願日

平成11年6月1日 (1999.6.1)

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 菊田 邦子

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 100095740

弁理士 開口 宗昭

Fターム(参考) 5F033 HH12 LL08 LL09 MM01 MM12

MM13 PP27 QQ48 QQ69 QQ73

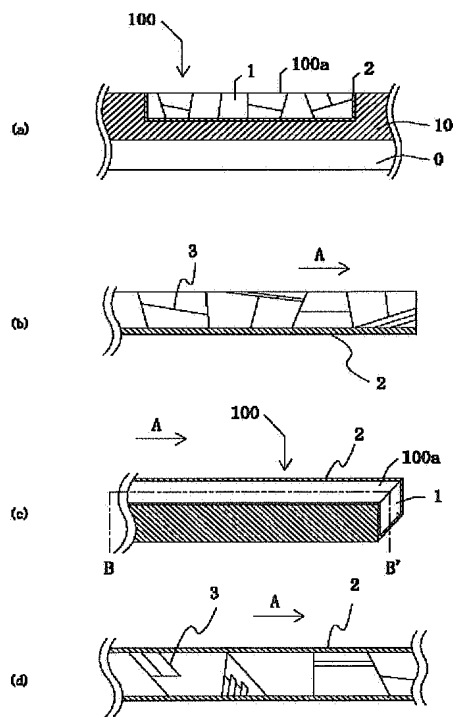
WW04 XX05

(54) 【発明の名称】 半導体装置及び半導体装置の製造方法

(57) 【要約】

【課題】 信頼性及び生産性が高い装置として得られる半導体装置及び生産性の高い半導体装置の製造方法を提供する。

【解決手段】 半導体基板0上に形成された層間絶縁膜10に設けられ、表面にバリアメタル層2が形成された溝10aにCu配線100が形成されてなる。これらの層により前記リード2a表面を被膜している。前記Cu配線100は、Ag、As、Bi、P、Sb、Si、Tiのうち少なくとも1つを0.1重量%以上、Cuに対する最大固溶限未満の範囲で含有するCu合金1で構成されている。以上により上記目的を達成することができる。



【特許請求の範囲】

【請求項1】半導体基板上に形成された層間絶縁膜に設けられ、表面にバリアメタル層が形成されてなる溝に配線が形成されてなり、前記配線はAg、As、Bi、P、Sb、Si、Tiのうち少なくとも1つを0.1重量%以上、Cuに対する最大固溶限未満の範囲で含有するCu合金で構成されていることを特徴とする半導体装置。

【請求項2】半導体基板上に形成された層間絶縁膜に設けられ、表面にバリアメタル層が形成されてなる溝に配線が形成されてなり、前記配線はMo、Ta、Wのうち少なくとも1つ以上を0.1重量%以上、1重量%未満の範囲で含有するCu合金で構成されていることを特徴とする半導体装置。

【請求項3】半導体基板上に形成された層間絶縁膜に配線を形成するための溝を形成する工程と、前記溝の表面にバリアメタル層を成膜する工程と、Ag、As、Bi、P、Sb、Si、Tiのうち少なくとも1つがCuに含有されてなるシード層を前記バリアメタル層上に形成する工程と、前記シード層上にCu層を形成する工程と、前記Cu層を所定の厚さに加工する工程と、前記Cu層に対して熱処理を行う工程とを有してなることを特徴とする半導体装置の製造方法。

【請求項4】半導体基板上に形成された層間絶縁膜に配線を形成するための溝を形成する工程と、前記溝の表面にバリアメタル層を成膜する工程と、Mo、Ta、Wのうち少なくとも1つ以上がCuに含有されてなるシード層を前記バリアメタル層上に形成する工程と、前記シード層上にCu層を形成する工程と、前記Cu層を所定の厚さに加工する工程と、前記Cu層に対して熱処理を行う工程とを有してなることを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体装置に関する。特に、高信頼性を有してなる半導体装置に関する。

【従来の技術】

【0002】近年、LSI等の半導体装置は、電子機器の高機能化、小型軽量化及び高速化の要求に応えるために高集積化が進められている。この半導体装置の高集積化を実現するために配線幅の微細化が進んでいる。シリコン基板上に形成されるLSIの配線材料としては、電気抵抗が低い、酸化珪素(SiO₂)膜との接着性が良い、加工が容易である等の理由から、従来よりAlが多用されてきた。

【0003】しかしながら、配線材料としてAlを用いた場合、LSIの高集積化による配線の微細化に伴い、エレクトロマイグレーション(EM)、ストレスマイグレーション(SM)、ボイド等に起因する信頼性の低下が深刻な問題となっていることから、近年、Alに代わ

る各種配線材料の検討がなされている。

【0004】中でもCuは、電気抵抗がAlの約2/3と低いためAlに比べて電流密度を多くとることができ、且つ融点がAlよりも400℃以上高いためエレクトロマイグレーション耐性が高い。以上のことからCuは微細加工を必要とする次世代LSIの配線材料として有力視されている。

【0005】しかしながら、配線幅が0.3μm程度まで微細化されてくると、Cuから形成された配線(以下、「Cu配線」とする)であってもエレクトロマイグレーションに起因する配線の劣化が無視できなくなっている。前記エレクトロマイグレーションの発生を低減させるための一手段として、Cuの結晶粒径を大きくすることが挙げられる。Cuの結晶粒径を大きくすることにより、粒界拡散によるCu原子の移動を抑制することでエレクトロマイグレーションを回避することができる。例えば、特開平4-326521号には、Cu配線を構成するCuの結晶粒径を1μm又はそれ以上とする半導体集積回路装置が開示されている。前記Cu配線は、半導体基板の絶縁膜上に分子線エピタキシー法を用いるか若しくはスパッタリングにより半導体基板上にCuの薄膜を堆積した後ドライエッチングにより配線状に加工することにより得られる。前記と同様の半導体装置の製造方法が特開平5-47760号や特開平10-60633号等に開示されている。

【0006】一方、近年の配線の微細化に伴い、精密に且つ簡便に微細な配線を半導体集積回路装置に形成することができる方法が求められるようになってきている。例えば、前述したより半導体基板上にCuの薄膜を堆積した後エッチングにより配線を形成する方法の代わりに、半導体基板上に形成された絶縁膜上に溝を形成し、その溝にCuを埋設した後熱処理を行うことによりCu配線を形成する方法が用いられるようになってきている。この方法においては、溝を用いてCu配線を形成するため微細なCu配線を得ることができるうえ、溝の大きさを適宜変えることにより必要な配線幅を有する配線を精密に且つ簡便に形成することができる。係る方法により得られた従来のCu配線及び前記従来のCu配線の製造方法の一例をそれぞれ図5及び図6に示す。

【0007】前記Cu配線は図5に示されるように、Cu層41の上面部400a以外の表面を取り囲むようにバリアメタル層2が形成されてなる。すなわち、Cu配線400は、Cu層41と、Cu層41の上面部400a以外の表面を包接するように形成されたバリアメタル層2とを有してなる。なお、図5(a)はCu配線400が設置された半導体装置の正面図、図5(b)は図5(a)に示される半導体装置のうちCu配線400部分を抜き出した斜視図である。係るCu配線400は、半導体基板0上に形成された層間絶縁膜10上に溝10aを形成し(図6(a)参照)、続いて前記溝10aの表

面にバリアメタル層2を成膜する(図6(b)参照)。次に、前記バリアメタル層2上にCu層12を積層した後(図6(c)参照)、CMP(Chemical Mechanical Polishment)処理により前記Cu層12を所定の厚さに加工してから熱処理を行うことで原子配列が矯正されたCu層41を有してなるCu配線400を得る(図6(d)参照)。この場合熱処理を行ってからCMP処理を行うこともできる。

【0008】

【発明が解決しようとする課題】しかしながら、溝にCuを埋設する工程を含む方法により得られたCu配線を有する半導体集積回路装置には次のような問題が生じていた。図5に示されるCu配線400は前述したように、まず半導体基板0上に形成された層間絶縁膜10上に溝10aを形成し、前記溝10aにCuを埋設した後熱処理を行うことにより形成される。この方法で微細な配線を形成する場合には、配線形成に用いる前記溝の幅は微細なものをを用いることになる。このように幅が狭い溝を用いて、前述した方法によりCuを埋設した後熱処理を行う場合、幅が狭い溝10aの中ではCu結晶粒が成長しにくく粒径が小さくなる。粒径が小さくなると配線中に粒界43(図5(c)参照:図5(b)に示されるCu配線400におけるB-B'面での断面図)が多く発生する。係る配線中を用いて電流を流す場合、通電時に最もエネルギーが低い粒界を通してCuの質量輸送が活発に行われる。このため、エレクトロマイグレーションが多く発生してしまい、前記配線に破断・亀裂が生じショートの原因となる。以上のことから半導体集積回路の信頼性が低下するとともに歩留まりの低下により生産性が低下するという問題が生じていた。

【0009】本発明は、以上の従来技術における問題に鑑みてなされたものである。本発明の目的は、信頼性及び生産性が高い半導体装置を提供することである。また、本発明の目的は、生産性が高い半導体装置の製造方法を提供することである。

【0010】以上の課題を解決するために、本発明者は、半導体装置内に設置されるCu配線の製造に関して鋭意研究を重ねた。その結果、本発明者は、Ag、As、Bi、P、Sb、Si、Tiのうち少なくとも1つを0.1重量%以上、Cuに対する最大固溶限未満の範囲で含有するCu合金で構成されている配線を、半導体基板上に形成された層間絶縁膜に設けられ、表面にバリアメタル層が形成されてなる溝に形成することとした。これにより、前記Cu合金の融点がCuの融点よりも低くなるためCu合金の粒径を大きくし粒界を少なくすることができる。さらに、前記Cu配線の長手方向(電流が流れる方向と平行方向)と垂直方向に粒界を形成することができるためCuの質量輸送経路を少なくしエレクトロマイグレーションの発生を低減することができる。以上のようにCu合金の粒径を大きくし粒界を少なくす

るとともにエレクトロマイグレーションの発生を低減することにより配線の破断・亀裂の発生を少なくすることができる。これにより半導体装置の信頼性及び生産性の向上を図ることができるという着想に基づき本発明の半導体装置に想到した。

【0011】また、本発明者は、Mo、Ta、Wのうち少なくとも1つ以上を0.1重量%以上、1重量%未満の範囲で含有するCu合金で構成されている配線を、半導体基板上に形成された層間絶縁膜に設けられ、表面にバリアメタル層が形成されてなる溝に形成することとした。Mo、Ta、WはCuと合金化することなくCuの粒界又は粒内に存在するうえ、Cuより密度が大きいため前記Cu合金内においてCuと比較して移動が遅くCu合金の粒界に析出しCuの拡散を抑制することができる。さらに、被抵抗がCuの10倍以下であるためCuの配線抵抗を極端に上昇させることなくCuの質量輸送を抑制することができる。これにより、エレクトロマイグレーションの発生を低減することで配線の破断・亀裂の発生を少なくすることができるため、半導体装置の信頼性及び生産性の向上を図ることができるという着想に基づき本発明の半導体装置に想到した。

【0012】

【課題を解決するための手段】以上の課題を解決するため提供する本出願第1の発明は、半導体基板上に形成された層間絶縁膜に設けられ、表面にバリアメタル層が形成されてなる溝に配線が形成されてなり、前記配線はAg、As、Bi、P、Sb、Si、Tiのうち少なくとも1つを0.1重量%以上、Cuに対する最大固溶限未満の範囲で含有するCu合金で構成されていることを特徴とする半導体装置である。

【0013】前記Cu合金に含まれるAg、As、Bi、P、Sb、Si、Tiのうち少なくとも1つが0.1重量%未満である場合、Cu合金の融点をCuの融点よりも十分に低くすることができないためCu合金の粒径が大きくなり粒界を少なくすることが十分にできない。さらに、配線の長手方向と垂直方向に粒界を形成できないためエレクトロマイグレーションの発生を十分に低減することができない。以上のことから、配線の破断・亀裂の発生を低減することができないと考えられる。

一方、前記Cu合金に含まれるAg、As、Bi、P、Sb、Si、Tiのうち少なくとも1つがCuに対する最大固溶限以上である場合、これらの元素がCuと化合物を形成してしまい配線の破断・亀裂の発生が考えられる。したがって、上記構成を有する本出願第1の発明の半導体装置によると、半導体基板上に形成された層間絶縁膜に設けられ、表面にバリアメタル層が形成されてなる溝にCu配線が形成されてなり、前記Cu配線はAg、As、Bi、P、Sb、Si、Tiのうち少なくとも1つを0.1重量%以上、Cuに対する最大固溶限未満の範囲で含有するCu合金で構成されていることによ

り、前記Cu合金の融点がCuの融点よりも低くなるためCu合金の粒径を大きくし粒界を少なくすることができる。さらに、前記Cu配線の長手方向と垂直方向に粒界を形成することができるためCuの質量輸送経路を少なくしエレクトロマイグレーションの発生を低減することができる。以上のようにCu合金の粒径を大きくし粒界を少なくするとともにエレクトロマイグレーションの発生を低減することにより配線の破断・亀裂の発生を少なくすることができるため、高信頼性及び高生産性を有する半導体装置として得ることができる。

【0014】また、本出願第2の発明は、半導体基板上に形成された層間絶縁膜に設けられ、表面にバリアメタル層が形成されてなる溝に配線が形成されてなり、前記配線はMo、Ta、Wのうち少なくとも1つ以上を0.1重量%以上、1重量%未満の範囲で含有するCu合金で構成されていることを特徴とする半導体装置である。

【0015】前記Cu合金に含まれるMo、Ta、Wのうち少なくとも1つ以上が0.1重量%未満である場合には、配線中におけるCuの拡散を十分抑制することができないため、エレクトロマイグレーションの発生を低減することができないと考えられる。一方、前記Cu合金に含まれるMo、Ta、Wのうち少なくとも1つ以上が1重量%以上である場合には、配線抵抗が上昇してしまい、導電性が悪くなることが考えられる。また、Mo、Ta、WはいずれもCuと合金化することなくCuの粒界又は粒内に存在する。したがって上記構成を有する本出願第2の発明の半導体装置によると、半導体基板上に形成された層間絶縁膜に設けられ、表面にバリアメタル層が形成されてなる溝にCu配線が形成されてなり、前記Cu配線はMo、Ta、Wのうち少なくとも1つ以上を0.1重量%以上、1重量%未満の範囲で含有するCu合金で構成されていることにより、Cuの拡散を抑制することができるうえ、Cuの配線抵抗を極端に上昇させることなくCuの質量輸送を抑制することができる。これにより、エレクトロマイグレーションの発生を低減することで配線の破断・亀裂の発生を少なくすることができるため、高信頼性及び高生産性を有する半導体装置として得ることができる。

【0016】また、本出願第3の発明は、半導体基板上に形成された層間絶縁膜に配線を形成するための溝を形成する工程と、前記溝の表面にバリアメタル層を成膜する工程と、Ag、As、Bi、P、Sb、Si、Tiのうち少なくとも1つがCuに含有されてなるシード層を前記バリアメタル層上に形成する工程と、前記シード層上にCu層を形成する工程と、前記Cu層を所定の厚さに加工する工程と、前記Cu層に対して熱処理を行う工程とを有してなることを特徴とする半導体装置の製造方法である。

【0017】上記構成を有する本出願第3の発明の半導体装置の製造方法によると、半導体基板上に形成された

層間絶縁膜に配線を形成するための溝を形成する工程と、前記溝の表面にバリアメタル層を成膜する工程と、Ag、As、Bi、P、Sb、Si、Tiのうち少なくとも1つがCuに含有されてなるシード層を前記バリアメタル層上に形成する工程と、前記シード層上にCu層を形成する工程と、前記Cu層を所定の厚さに加工する工程と、前記Cu層に対して熱処理を行う工程とを有してなることにより、Ag、As、Bi、P、Sb、Si、Tiのうち少なくとも1つがCuに含有されてなるCu合金を半導体基板上に簡便に形成することができるため生産性の向上を図ることができる。

【0018】また、本出願第4の発明は、半導体基板上に形成された層間絶縁膜に配線を形成するための溝を形成する工程と、前記溝の表面にバリアメタル層を成膜する工程と、Mo、Ta、Wのうち少なくとも1つ以上がCuに含有されてなるシード層を前記バリアメタル層上に形成する工程と、前記シード層上にCu層を形成する工程と、前記Cu層を所定の厚さに加工する工程と、前記Cu層に対して熱処理を行う工程とを有してなることを特徴とする半導体装置の製造方法である。

【0019】上記構成を有する本出願第4の発明の半導体装置の製造方法によると、半導体基板上に形成された層間絶縁膜に配線を形成するための溝を形成する工程と、前記溝の表面にバリアメタル層を成膜する工程と、Mo、Ta、Wのうち少なくとも1つ以上がCuに含有されてなるシード層を前記バリアメタル層上に形成する工程と、前記シード層上にCu層を形成する工程と、前記Cu層を所定の厚さに加工する工程と、前記Cu層に対して熱処理を行う工程とを有してなることにより、Mo、Ta、Wのうち少なくとも1つ以上がCuに含有されてなるCu合金を半導体基板上に簡便に形成することができるため生産性の向上を図ることができる。

【0020】

【発明の実施の形態】以下、本発明の第1の実施の形態に係る半導体装置を、図面を参照して説明するが、以下の実施の形態は本発明に係る半導体装置及び半導体装置の製造方法の一例にすぎない。

(第1の実施形態)図1は、本実施の形態に係る半導体装置を示す図である。図2は、Ag-Cuの2成分系共融化合物の状態図である。図3は、本発明の一実施の形態に係る半導体装置の一製造工程を示す図である。

【0021】本実施の形態に係る半導体装置は図1に示されるように、半導体基板0上に形成された層間絶縁膜10に設けられ、表面にバリアメタル層2が形成された溝10aにCu配線100が形成されてなる。ここで、Cu配線とはCuを含む材料で構成された配線をいい、また、Cu合金とはCuを含み形成されてなる合金をいう。前記Cu配線100はAg、As、Bi、P、Sb、Si、Tiのうち少なくとも1つを含有するCu合金1

の上面部100a以外の表面を取り囲むように形成されてなる。換言すると、Cu配線100はCu合金1と、Cu合金1の上面部100a以外の表面を包接するように形成されたバリアメタル層2とを有してなる。バリアメタル層2はCuが層間絶縁膜10又は半導体基板0に拡散するのを防止するとともに、層間絶縁膜10への密着力を強化するために形成する。

【0022】ここで、本実施の形態に係るCu配線100が設置された半導体装置を示す正面図を図1(a)に、図1(a)に示されるCu配線100部分の拡大図を図1(b)に、図1(a)に示される半導体装置のうちCu配線100部分を抜き出して示した斜視図を図1(c)に、及び図1(c)に示されるCu配線100のB-B'面からの断面図を図1(d)それぞれ示す。前記Cu配線100は、Ag、As、Bi、P、Sb、Si、Tiのうち少なくとも1つを0.1重量%以上、Cuに対する最大固溶限未満の範囲で含有するCu合金1で構成されていることが望ましい。前記Cu合金に含まれるAg、As、Bi、P、Sb、Si、Tiのうち少なくとも1つが0.1重量%未満である場合、Cu合金の融点をCuの融点よりも十分に低くすることができないためCu合金の粒径が大きくなり粒界を少なくすることが十分にできない。さらに、配線の長手方向と垂直方向に粒界を形成できないためエレクトロマイグレーションの発生を十分に低減することができない。以上のことから、配線の破断・亀裂の発生を低減することができないと考えられる。一方、前記Cu合金に含まれるAg、As、Bi、P、Sb、Si、Tiのうち少なくとも1つがCuに対する最大固溶限以上である場合、これらの元素がCuと化合物を形成してしまい配線の破断・亀裂の発生が考えられる。以上により、前記Cu配線100は、Ag、As、Bi、P、Sb、Si、Tiのうち少なくとも1つを0.1重量%以上、Cuに対する最大固溶限未満の範囲で含有するCu合金1で構成されていることにより、図1(b)に示されるように、前記Cu合金1の融点がCuの融点よりも低くなるためCu合金の粒径を大きくし粒界を少なくすることができる。さらに、図1(d)に示されるように、前記Cu配線100の長手方向(矢印A)と垂直方向に粒界3を形成することができるためCuの質量輸送経路を少なくしエレクトロマイグレーションの発生を低減することができる。以上のようにCu合金の粒径を大きくし粒界を少なくするとともにエレクトロマイグレーションの発生を低減することにより配線の破断・亀裂の発生を少なくすることができるため、高信頼性及び高生産性を有する半導体装置として得ることができる。

【0023】次に、図1に示される本実施の形態に係る半導体装置の一例として、Cu配線がAgを含有するCu合金で構成されている半導体装置について、図2に示される状態図(Ag-Cuの2成分系共融化合物の状態

図)を参照して説明する。

【0024】図2に示されるように、Ag-Cuの2成分系共融化合物は、共晶点Yが39.9重量%(Cuに対するAgの重量%で換算)、共晶温度が779℃、Cuに対するAgの最大固溶限Z(Cuに対するAgの固溶限が最大となる点)は4.9重量%(Cuに対するAgの重量%で換算)である。また、図2において、曲線X上にその温度における固溶限があり、固溶限が最大となるのが点Z(最大固溶限)である。CuにAgを添加してCu合金を形成する場合、Cuに添加するAgの量を増加させていくと曲線Xに沿って液相が出現し始める温度が下がる。これにより形成されるCu合金の粒径が大きくなる。Ag-Cu系合金のようにCuの固相(図2における固相W:斜線部)が小さく且つ共晶温度が低い合金の場合、添加するAgの量が少量であっても液相が出現し始める温度を効果的に下げることができる。ここで、Ag-Cu系合金のような2元合金では、液相が出現し始める温度の低下は融点の低下と対応しているため、Agを添加することにより融点を下げることが可能であるということが出来る。一方、Cuに対する最大固溶限Z以上のAgを添加した場合、Agが一部合金化されずに析出してしまうことから導電性が低下することが考えられる。したがって、Cuに対する最大固溶限Z未満のAgをCuに添加してCu合金を形成することにより、CuにAgが微小に固溶するため融点を下げることができる。さらに、融点を下げることによりCu合金の粒径を大きくすることができるため、エレクトロマイグレーションの発生を低減させることができる。なお、本実施の形態においてはAg-Cu系合金を例にとり説明したが、Auの代わりに、As、Bi、P、Sb、Si、TiがCuとの間で合金を形成する場合であってもAg-Cu系合金の場合と同様の機構によりエレクトロマイグレーションの発生を低減させることができ、高信頼性を有する半導体装置として得ることができる。

【0025】次に、図1に示されるCu配線100を有してなる半導体装置の製造方法について、図3を参照して説明する。まず、半導体基板0上に形成された層間絶縁膜10上に溝10aを形成し(図3(a)参照)、続いて前記溝10aの表面にバリアメタル層2を成膜する(図3(b)参照)。次に、Ag、As、Bi、P、Sb、Si、Tiのうち少なくとも1つがCuに含有されてなるシード層11を前記バリアメタル層2上に形成する。ここで、シード層11とは、Ag、As、Bi、P、Sb、Si、Tiのうち少なくとも1つが含有されてなるCu層をいう。また、この場合、シード層11中のAg、As、Bi、P、Sb、Si、Ti等は、最終的に得られるCu配線100中に0.1重量%以上、最大固溶限未満の範囲で含まれるような量がCuに含まれているようにする(図3(c)参照)。続いて、前記シード層11上にCu層12を積層した後(図3(d)参

照)、CMP (Chemical Mechanical Polishment) 処理により前記Cu層12を所定の厚さに加工してから熱処理を行うことによりCu合金1を有してなるCu配線100を得る(図3(e)参照)。この場合熱処理を行ってからCMP処理を行うこともできる。係る熱処理により、シード層11中に含まれるAg、As、Bi、P、Sb、Si、Ti等がCu層12中に拡散することにより、粒界の数が少なく、且つ前記Cu配線100の長手方向(矢印A)と垂直方向に形成された粒界を有してなるCu合金1が形成される。

【0026】次に、本発明の第2の実施の形態に係る半導体装置を、図面を参照して説明する。

(第2の実施形態) 図4は、本実施の第2の実施の形態に係る半導体装置を示す図である。

【0027】本実施の形態に係る半導体装置は図4に示されるように、半導体基板0上に形成された層間絶縁膜10に設けられ、表面にバリアメタル層2が形成されてなる溝10aにCu配線200が形成されてなる。前記Cu配線200はMo、Ta、Wのうち少なくとも1つ以上を含有するCu合金21で構成されている。すなわち、Cu合金21の上面部200a以外の表面を取り囲むようにバリアメタル層2が形成されてなる。さらに換言すると、Cu配線200は、Cu合金21と、Cu合金21の上面部200a以外の表面を包接するように形成されたバリアメタル層2とを有してなる。

【0028】ここで、本実施の形態に係るCu配線200が設置された半導体装置を示す正面図を図4(a)に、図4(a)に示されるCu配線200部分の拡大図を図4(b)に、図4(a)に示される半導体装置のうちCu配線200部分を抜き出して示した斜視図を図4(c)に、及び図4(c)に示されるCu配線200のB-B'面からの断面図を図4(d)それぞれ示す。Mo、Ta、WはCuと合金化することなくCuの粒界又は粒内に存在するうえ、Cuより密度が大きいため前記Cu合金内においてCuと比較して移動が遅い。このことから、前記Mo、Ta、W等の粒子24がCu合金の粒界に析出することによりCuの拡散を抑制することができる(図4(b)参照)。さらに、被抵抗がCuの10倍以下であるためCuの配線抵抗を極端に上昇させることなくCuの質量輸送を抑制することができる。これにより、エレクトロマイグレーションの発生を低減することで配線の破断・亀裂の発生を少なくすることができるため、高信頼性及び高生産性を有する半導体装置として得ることができる。

【0029】ここで、Cu合金21中に含まれるMo、

Ta、Wが0.1重量%未満であると、Cuの拡散を抑制することができず、エレクトロマイグレーションの発生を十分に低減することができない。一方、Cu合金21中に含まれるMo、Ta、Wが1重量%以上であると、Cuの配線抵抗が大きくなり、導電率が低下してしまいCu配線の信頼性が低下する。したがって、Cu合金21中に含まれるMo、Ta、Wは0.1重量%以上、1重量%未満の範囲でCu合金21に含まれることが望ましい。

【0030】また、図4に示される半導体装置は、図2に示される本発明の第1の実施の形態に係る半導体装置の製造方法と略同様の製造工程により得られる。すなわち、シード層11として、Mo、Ta、Wのうち少なくとも1つ以上を含有するCuを用いて同様の製造工程により、図4に示される半導体装置を得ることができる。

【図面の簡単な説明】

【図1】 本発明の第1の実施の形態に係る半導体装置を示す図である。

【図2】 Ag-Cuの2成分系共融化合物の状態図である。

【図3】 本発明の第1の実施の形態に係る半導体装置の一製造工程を示す図である。

【図4】 本発明の第2の実施の形態に係る半導体装置を示す図である。

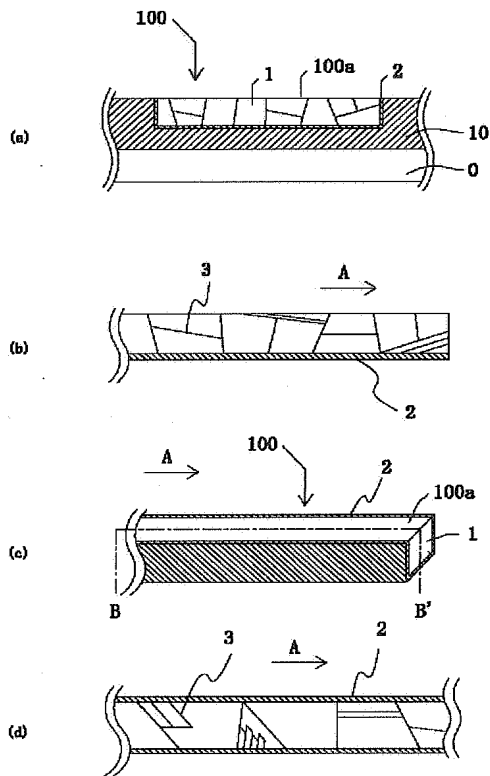
【図5】 従来の半導体装置の一例を示す図である。

【図6】 従来の半導体装置の一製造工程を示す図である。

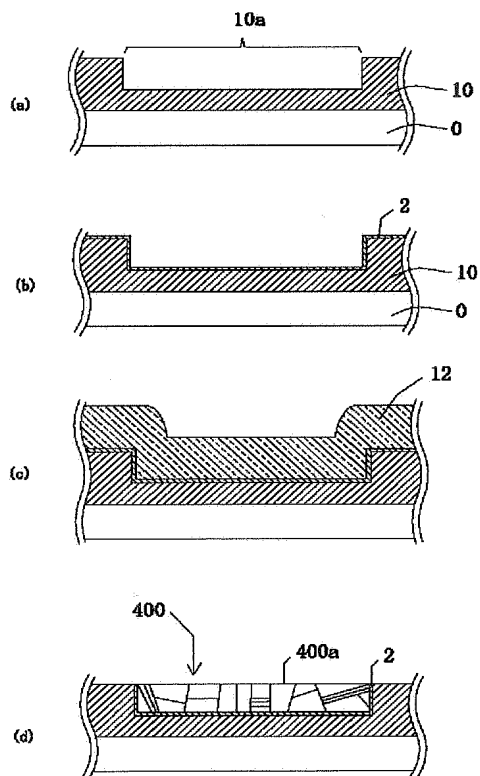
【符号の説明】

0	半導体基板
1・21	Cu合金
2	バリアメタル層
3	粒界
10	層間絶縁膜
10a	溝
11・211	シード層
12	Cu層
24	Mo・Ta・W等の
粒子	
41	Cu層
43	粒界
100・200・400	Cu配線
100a・200a・400a	上面
W	固相(Cu)
X	曲線
Y	共晶点
Z	最大固溶限

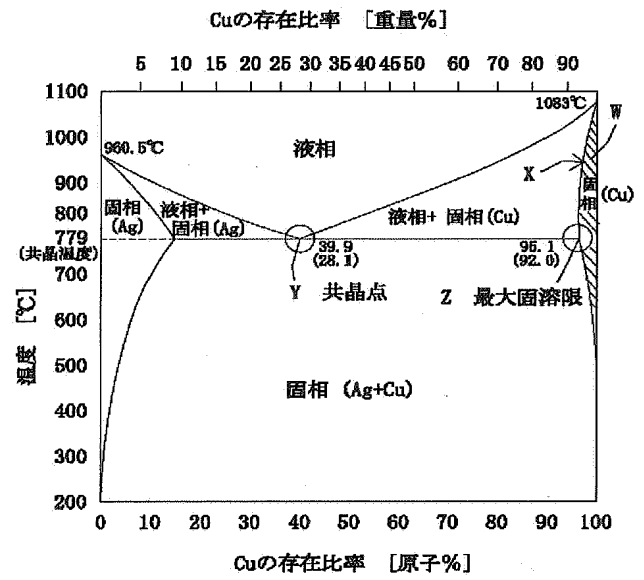
【図1】



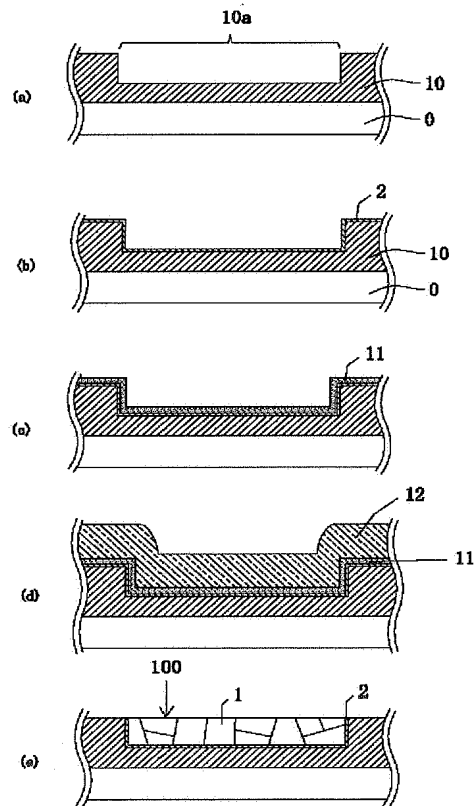
【図6】



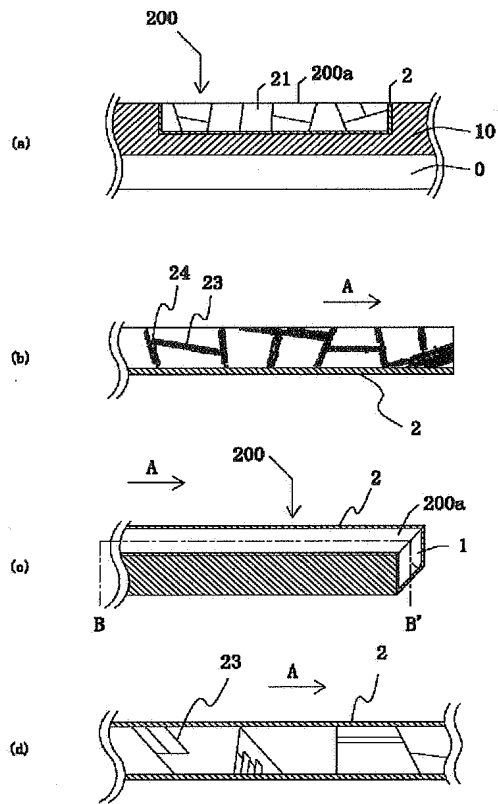
【図2】



【図3】



【図 4】



【図 5】

